

10/534892

PCT/JP 03/14560

Rec'd PCT/PTO 13 MAY 2005

17.11.03

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 1 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 3 2 8 5 5
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 3 2 8 5 5]

出 願 人 松下電器産業株式会社
Applicant(s):

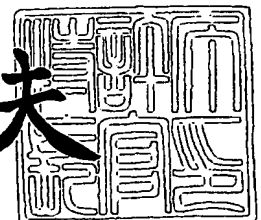
RECEIVED	
09 JAN 2004	
WIPO	PCT

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 3 年 1 2 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 5038040136

【提出日】 平成14年11月15日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 米田 耕二郎

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 藤井 俊哉

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 岩澤 高広

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 山口 琢己

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 110000040

 【氏名又は名称】 特許業務法人池内・佐藤アンドパートナーズ

 【代表者】 池内 寛幸

 【電話番号】 06-6135-6051

【手数料の表示】

【予納台帳番号】 139757

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0108331

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 撮像装置

【特許請求の範囲】

【請求項 1】 被写体を撮像するための撮像素子と、

前記撮像素子を駆動するための駆動信号を前記撮像素子へ供給する駆動信号供給器とを具備しており、

前記撮像素子には、マトリックス状に配置された複数の画素ユニットが設けられており、

各画素ユニットは、前記被写体からの入射光を信号電荷に光電変換する光電変換素子と、

前記光電変換素子によって光電変換された前記信号電荷を読み出す読み出しトランジスタと、

前記読み出しトランジスタによって読み出された前記信号電荷を蓄積する蓄積素子と、

前記蓄積素子に蓄積された前記信号電荷に基づいて電圧信号を検出する検出トランジスタと、

前記検出トランジスタによって前記電圧信号が検出された後で、前記駆動信号供給器によって供給された前記駆動信号に基づいて、前記信号電荷をリセットするためのリセット電位を前記蓄積素子に供給するリセットトランジスタとをそれぞれ有しており、

各読み出しトランジスタには、前記信号電荷を読み出すためのゲート電位が供給されるゲート端子がそれぞれ設けられており、

前記読み出しトランジスタは、前記ゲート端子に供給される前記ゲート電位が第 1 の状態から第 2 の状態へ変化したときに前記信号電荷を読み出し、

前記検出トランジスタは、前記読み出しトランジスタに設けられた前記ゲート端子に供給される前記ゲート電位が前記第 2 の状態から前記第 1 の状態に変化した後で前記電圧信号を検出し、

前記リセットトランジスタによって前記蓄積素子に供給される前記リセット電位は、前記読み出しトランジスタに設けられた前記ゲート端子に供給された前記

第 1 の状態のゲート電位と所定の VDD 電位との間の中間電位を有していることを特徴とする撮像装置。

【請求項 2】 前記リセット電位は、前記リセットトランジスタが前記リセット電位を前記蓄積素子に供給するときに前記リセットトランジスタから前記蓄積素子へ流れ込む電荷が前記読み出しトランジスタに設けられた前記ゲート端子を越えて前記光電変換素子へ流れ込まないように、前記第 1 の状態のゲート電位との間の差が十分大きい電位になっている、請求項 1 記載の撮像装置。

【請求項 3】 前記第 1 の状態は、ロー状態であり、
前記第 2 の状態は、ハイ状態である、請求項 1 記載の撮像装置。

【請求項 4】 前記リセット電位は、グランド電位よりも高くなっており、前記 VDD 電位よりも低くなっている、請求項 1 記載の撮像装置。

【請求項 5】 前記第 1 の状態のゲート電位は、グランド電位である、請求項 1 記載の撮像装置。

【請求項 6】 各リセットトランジスタは、所定のパルス状のリセット信号に応じて前記リセット電位を前記蓄積素子に供給する、請求項 1 記載の撮像装置。

【請求項 7】 前記読み出しトランジスタは、前記ゲート端子に前記ゲート電位を供給するための所定のパルス状のトランス信号に応じて前記信号電荷を読み出す、請求項 1 記載の撮像装置。

【請求項 8】 前記駆動信号供給器は、前記中間電位を有する信号を各リセットトランジスタへ供給する、請求項 1 記載の撮像装置。

【請求項 9】 前記撮像素子は、前記駆動信号供給器によって供給された前記駆動信号に基づいて、前記中間電位を有する信号を生成して各リセットトランジスタへ供給するドライバをさらに有している、請求項 1 記載の撮像装置。

【請求項 10】 前記駆動信号供給器によって供給される前記駆動信号は、 H_{i-z} の信号を含んでおり、

前記撮像素子は、前記駆動信号供給器によって供給された前記 H_{i-z} の信号に基づいて、前記中間電位を有する信号を生成して各リセットトランジスタへ供給するバイアス回路をさらに有している、請求項 1 記載の撮像装置。

【請求項 11】 前記撮像素子に設けられた各検出トランジスタによって検出された前記電圧信号をデジタル信号に変換するアナログデジタルコンバータと

、
前記アナログデジタルコンバータによって変換された前記デジタル信号に基づいて映像信号を出力する画像処理回路とをさらに具備する、請求項 1 記載の撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はNMOS型トランジスタによって構成される撮像素子を備えた撮像装置に関する。

【0002】

【従来の技術】

NMOS型トランジスタによって構成される撮像素子を備えた従来の撮像装置を説明する。図 11 は、従来の撮像装置 90 の構成を示すブロック図である。撮像装置 90 は、被写体を撮像するための撮像素子 7 を備えている。撮像素子 7 には、画素部 96 が設けられている。図 12 は、画素部 96 の構成を示す模式図である。画素部 96 には、マトリックス状に配置された複数の画素ユニット 99 が設けられている。図 13 は、各画素ユニット 99 の構成を示す回路図である。画素ユニット 99 は、光電変換素子 4 を有している。光電変換素子 4 は、フォトダイオードによって構成されており、被写体からの入射光を信号電荷に光電変換する。

【0003】

画素ユニット 99 には、読み出しトランジスタ 2 が設けられている。読み出しトランジスタ 2 には、トランス信号 10 が供給されるゲート端子 3 が設けられている。読み出しトランジスタ 2 は、ゲート端子 3 へ供給されるトランス信号 10 に応じて、光電変換素子 4 によって光電変換された信号電荷を読み出す。

【0004】

画素ユニット 99 は、蓄積素子 5 を有している。蓄積素子 5 は、フローティングディフュージョンによって構成されており、読み出しトランジスタ 2 によって

読み出された信号電荷を蓄積する。

【0005】

画素ユニット99には、検出トランジスタ6が設けられている。検出トランジスタ6は、蓄積素子5に蓄積された信号電荷に基づいて電圧信号を検出する。

【0006】

画素ユニット99は、リセットトランジスタ91を有している。リセットトランジスタ91は、検出トランジスタ6によって電圧信号が検出された後で、リセット信号11に応じて、VDDCELL信号89に基づいて信号電荷をリセットするためのリセット電位を蓄積素子5に供給する。

【0007】

撮像装置90は、デジタルシグナルプロセッサ(DSP)97を備えている。デジタルシグナルプロセッサ97には、駆動信号供給器98が設けられている。駆動信号供給器98は、VDDCELL信号89とリセット信号11とトランス信号10とを撮像素子7の画素部96に設けられた各画素ユニット99へ供給する。

【0008】

撮像装置90には、アナログデジタルコンバータ(ADC)12が設けられている。アナログデジタルコンバータ12は、各画素ユニット99に設けられた検出トランジスタ6によって検出された電圧信号をデジタル信号に変換する。

【0009】

デジタルシグナルプロセッサ97には、画像処理回路13がさらに設けられている。画像処理回路13は、アナログデジタルコンバータ12によって変換されたデジタル信号に基づいて映像信号を生成して撮像装置90の外部へ出力する。

【0010】

このように構成された撮像装置90の動作を説明する。図14は駆動信号供給器98から各画素ユニット99に設けられたリセットトランジスタ91へ供給されるVDDCELL信号89の波形図であり、図15は撮像素子7に設けられた各画素ユニット99の動作を説明するためのタイミングチャートであり、図16(a)～(d)は、撮像素子7に設けられた各画素ユニット99における信号電

荷の動きを説明するための模式図である。

【0011】

まず、時刻Aにおいて光電変換素子4は被写体からの入射光を信号電荷に光電変換する。そして、読み出しトランジスタ2に設けられたゲート端子3へ供給されるトランス信号10がロー状態からハイ状態へ立ち上がった後、時刻Bにおいて読み出しトランジスタ2は、光電変換素子4によって光電変換された信号電荷を読み出す。読み出しトランジスタ2によって読み出された信号電荷は蓄積素子5へ蓄積される。

【0012】

次に、読み出しトランジスタ2のゲート端子3へ供給されるトランス信号10がハイ状態からロー状態に立ち下がった後、時刻Cにおいて、検出トランジスタ6は、蓄積素子5へ蓄積された信号電荷に基づいて電圧信号を検出する。

【0013】

その後、VDDCELL信号89がハイ状態からロー状態に立ち下がる。そして、リセットトランジスタ91に設けられたゲート端子へ供給されるリセット信号11がロー状態からハイ状態へ立ち上がる。次に、時刻DにおいてVDDCELL信号89に基づいてリセットトランジスタ91を通して電荷が蓄積素子5へ流れ込む。その結果、蓄積素子5の電位がロー状態に変化し、蓄積素子5に蓄積された信号電荷がリセットされる。

【0014】

【特許文献1】

特開2002-237584号公報

【0015】

【発明が解決しようとする課題】

しかしながら、前述した従来の撮像装置の構成では、図16(d)に示すように、時刻DにおいてVDDCELL信号89に基づいてリセットトランジスタ91を通して蓄積素子5へ流れ込む電荷は、読み出しトランジスタ2に設けられたゲート端子3を越えて光学変換素子4へ流れ込むおそれがある。このため、光学変換素子4から読み出された信号電荷に基づいて検出された電圧信号を処理して

出力される映像信号によって表示される画像において白キズ等が生じ、画質が劣化するという問題がある。

【0016】

本発明は係る問題を解決するためになされたものであり、その目的は、良好な画質を有する画像を表示することができる映像信号を出力する撮像装置を提供することにある。

【0017】

【課題を解決するための手段】

係る目的を達成するために本発明に係る撮像装置は、被写体を撮像するための撮像素子と、前記撮像素子を駆動するための駆動信号を前記撮像素子へ供給する駆動信号供給器とを具備しており、前記撮像素子には、マトリックス状に配置された複数の画素ユニットが設けられており、各画素ユニットは、前記被写体からの入射光を信号電荷に光電変換する光電変換素子と、前記光電変換素子によって光電変換された前記信号電荷を読み出す読み出しトランジスタと、前記読み出しトランジスタによって読み出された前記信号電荷を蓄積する蓄積素子と、前記蓄積素子に蓄積された前記信号電荷に基づいて電圧信号を検出する検出トランジスタと、前記検出トランジスタによって前記電圧信号が検出された後で、前記駆動信号供給器によって供給された前記駆動信号に基づいて、前記信号電荷をリセットするためのリセット電位を前記蓄積素子に供給するリセットトランジスタとをそれぞれ有しており、各読み出しトランジスタには、前記信号電荷を読み出すためのゲート電位が供給されるゲート端子がそれぞれ設けられており、前記読み出しトランジスタは、前記ゲート端子に供給される前記ゲート電位が第1の状態から第2の状態へ変化したときに前記信号電荷を読み出し、前記検出トランジスタは、前記読み出しトランジスタに設けられた前記ゲート端子に供給される前記ゲート電位が前記第2の状態から前記第1の状態に変化した後で前記電圧信号を検出し、前記リセットトランジスタによって前記蓄積素子に供給される前記リセット電位は、前記読み出しトランジスタに設けられた前記ゲート端子に供給された前記第1の状態のゲート電位と所定のVDD電位との間の中間電位を有していることを特徴とする。

【0018】

【発明の実施の形態】

本実施の形態に係る撮像装置においては、リセットトランジスタによって蓄積素子に供給されるリセット電位は、読み出しトランジスタに設けられたゲート端子に供給された第1の状態のゲート電位と所定のVDD電位との間の中間電位を有している。このため、リセット電位を、第1の状態のゲート電位との間の差が十分大きい電位にすることができるので、リセットトランジスタがリセット電位を蓄積素子に供給するときにリセットトランジスタから蓄積素子へ流れ込む電荷が読み出しトランジスタに設けられたゲート端子を越えて光電変換素子へ流れ込まないようにすることができる。その結果、トランジスタに設けられたゲート端子を越えて光電変換素子へ流れ込む電荷による白キズが生じない良好な画質を得ることができる撮像装置を提供することができる。

【0019】

前記リセット電位は、前記リセットトランジスタが前記リセット電位を前記蓄積素子に供給するときに前記リセットトランジスタから前記蓄積素子へ流れ込む電荷が前記読み出しトランジスタに設けられた前記ゲート端子を越えて前記光電変換素子へ流れ込まないように、前記第1の状態のゲート電位との間の差が十分大きい電位になっていることが好ましい。トランジスタに設けられたゲート端子を越えて光電変換素子へ流れ込む電荷による白キズを防止するためである。

【0020】

前記第1の状態は、ロー状態であり、前記第2の状態は、ハイ状態であることが好ましい。ゲート端子に供給されるゲート電位がロー状態からハイ状態へ変化したときに信号電荷を読み出す読み出しトランジスタを使用することができるからである。

【0021】

前記リセット電位は、グラウンド電位よりも高くなっており、前記VDD電位よりも低くなっていることが好ましい。リセットトランジスタから蓄積素子へ流れ込む電荷が読み出しトランジスタに設けられたゲート端子を越えて光電変換素子へ流れ込むことを防止するためである。

【0022】

前記第1の状態のゲート電位は、グランド電位であることが好ましい。グランド電位によって読み出しトランジスタを制御することができるからである。

【0023】

各リセットトランジスタは、所定のパルス状のリセット信号に応じて前記リセット電位を前記蓄積素子に供給することが好ましい。リセットトランジスタがリセット電位を蓄積素子に供給するタイミングを制御するためである。

【0024】

前記読み出しトランジスタは、前記ゲート端子に前記ゲート電位を供給するための所定のパルス状のトランス信号に応じて前記信号電荷を読み出すことが好ましい。読み出しトランジスタが信号電荷を光電変換素子から読み出すタイミングを制御するためである。

【0025】

前記駆動信号供給器は、前記中間電位を有する信号を各リセットトランジスタへ供給することが好ましい。リセットトランジスタが中間電圧を有するリセット電位を蓄積素子に供給するためである。

【0026】

前記撮像素子は、前記駆動信号供給器によって供給された前記駆動信号に基づいて、前記中間電位を有する信号を生成して各リセットトランジスタへ供給するドライバをさらに有していることが好ましい。中間電位を有する信号を生成するための特別な回路を駆動信号供給器に設ける必要がなくなるからである。

【0027】

前記駆動信号供給器によって供給される前記駆動信号は、H i - z の信号を含んでおり、前記撮像素子は、前記駆動信号供給器によって供給された前記H i - z の信号に基づいて、前記中間電位を有する信号を生成して各リセットトランジスタへ供給するバイアス回路をさらに有していることが好ましい。中間電位を有する信号を生成するための特別な回路を駆動信号供給器に設ける必要がなくなるからである。

【0028】

前記撮像素子に設けられた各検出トランジスタによって検出された前記電圧信号をデジタル信号に変換するアナログデジタルコンバータと、前記アナログデジタルコンバータによって変換された前記デジタル信号に基づいて映像信号を出力する画像処理回路とをさらに具備することが好ましい。良好な画質を有する映像信号を得るためである。

【0029】

以下、図面を参照して本発明の実施の形態を説明する。

【0030】

(実施の形態1)

図1は、実施の形態1に係る撮像装置100の構成を示すブロック図である。撮像装置100は、被写体を撮像するための撮像素子7を備えている。撮像素子7には、画素部16が設けられている。図2は、画素部16の構成を示す模式図である。画素部16には、マトリックス状に配置された複数の画素ユニット9が設けられている。図3は、各画素ユニット9の構成を示す回路図である。画素ユニット9は、光電変換素子4を有している。光電変換素子4は、フォトダイオードによって構成されており、被写体からの入射光を信号電荷に光電変換する。

【0031】

画素ユニット9には、読み出しトランジスタ2が設けられている。読み出しトランジスタ2には、トランス信号10が供給されるゲート端子3が設けられている。読み出しトランジスタ2は、ゲート端子3へ供給されるトランス信号10に応じて、光電変換素子4によって光電変換された信号電荷を読み出す。

【0032】

画素ユニット9は、蓄積素子5を有している。蓄積素子5は、フローティングディフュージョンによって構成されており、読み出しトランジスタ2によって読み出された信号電荷を蓄積する。

【0033】

画素ユニット9には、検出トランジスタ6が設けられている。検出トランジスタ6は、蓄積素子5に蓄積された信号電荷に基づいて電圧信号を検出する。

【0034】

画素ユニット 9 は、リセットトランジスタ 1 を有している。リセットトランジスタ 1 は、検出トランジスタ 6 によって電圧信号が検出された後で、リセット信号 11 に応じて、VDDCELL 信号 19 に基づいて信号電荷をリセットするためのリセット電位を蓄積素子 5 に供給する。

【0035】

撮像装置 100 は、デジタルシグナルプロセッサ (DSP) 17 を備えている。デジタルシグナルプロセッサ 17 には、駆動信号供給器 8 が設けられている。駆動信号供給器 8 は、VDDCELL 信号 19 とリセット信号 11 とトランス信号 10 とを、撮像素子 7 の画素部 16 に設けられた各画素ユニット 9 へ供給する。

【0036】

撮像装置 100 には、アナログデジタルコンバータ (ADC) 12 が設けられている。アナログデジタルコンバータ 12 は、各画素ユニット 9 に設けられた検出トランジスタ 6 によって検出された電圧信号をデジタル信号に変換する。

【0037】

デジタルシグナルプロセッサ 17 には、画像処理回路 13 がさらに設けられている。画像処理回路 13 は、アナログデジタルコンバータ 12 によって変換されたデジタル信号に基づいて映像信号を生成して撮像装置 100 の外部へ出力する。

【0038】

このように構成された撮像装置 100 の動作を説明する。図 4 は撮像素子 7 に設けられた各画素ユニット 9 の動作を説明するためのタイミングチャートであり、図 5 (a) ~ 図 5 (d) は、撮像素子 7 に設けられた各画素ユニット 9 における信号電荷の動きを説明するための模式図であり、図 6 は駆動信号供給器 8 からリセットトランジスタ 1 へ供給される中間電位信号の波形図である。

【0039】

まず、時刻 A において光電変換素子 4 は被写体からの入射光を信号電荷に光電変換する。そして、読み出しトランジスタ 2 に設けられたゲート端子 3 へ供給されるトランス信号 10 がロー状態からハイ状態へ立ち上がった後、時刻 B におい

て読み出しトランジスタ 2 は、光電変換素子 4 によって光電変換された信号電荷を読み出す。ゲート端子 3 のハイ状態は例えば VDD 電位であり、ロー状態は例えばグラウンド電位である。読み出しトランジスタ 2 によって読み出された信号電荷は蓄積素子 5 へ蓄積される。

【0040】

次に、読み出しトランジスタ 2 のゲート端子 3 へ供給されるトランス信号 10 がハイ状態からロー状態に立ち下がった後、時刻 C において、検出トランジスタ 6 は、蓄積素子 5 へ蓄積された信号電荷に基づいて電圧信号を検出する。

【0041】

その後、VDDCELL 信号 19 は、ハイ状態からハイ状態とロー状態との間の中間電位状態に立ち下がる。そして、リセットトランジスタ 1 に設けられたゲート端子へ供給されるリセット信号 11 がロー状態からハイ状態へ立ち上がる。次に、時刻 D において VDDCELL 信号 19 に基づいてリセットトランジスタ 1 を通って電荷が蓄積素子 5 へ流れ込む。その結果、蓄積素子 5 の電位がハイ状態とロー状態との間の中間電位状態に変化し、蓄積素子 5 に蓄積された信号電荷がリセットされる。蓄積素子 5 の電位のハイ状態は例えば VDD 電位であり、ロー状態は例えばグラウンド電位である。

【0042】

時刻 D において、ハイ状態とロー状態との間の中間電位状態になっている蓄積素子 5 の電位は、ロー状態になっている読み出しトランジスタ 2 のゲート電位よりも高くなっている。ハイ状態とロー状態との間の中間電位状態になっている蓄積素子 5 の電位は、リセットトランジスタ 1 がリセット電位を蓄積素子 5 に供給するときにリセットトランジスタ 1 から蓄積素子 5 へ流れ込む電荷が読み出しトランジスタ 2 に設けられたゲート端子 3 を越えて光電変換素子 4 へ流れ込まないように、ロー状態になっているゲート電位との間の差が十分大きい電位になっている。このように、リセットトランジスタ 91 から蓄積素子 5 へ流れ込む電荷が、読み出しトランジスタ 2 に設けられたゲート端子 3 を越えて光学変換素子 4 へ流れ込むことが防止される。

【0043】

そして、検出トランジスタ 6 によって検出された電圧信号は、ADC 12 によってデジタル信号に変換される。画像処理回路 13 は、ADC 12 によって変換されたデジタル信号に対して画像処理を施した映像信号を撮像装置 100 の外部へ出力する。

【0044】

以上のように実施の形態 1 によれば、リセットトランジスタ 1 によって蓄積素子 5 に供給されるリセット電位は、読み出しトランジスタ 2 に設けられたゲート端子 3 に供給された VDD 電位とグランド電位との間の中間電位を有している。このため、リセット電位を、グランド電位との間の差が十分大きい電位にすることができ、リセットトランジスタ 1 がリセット電位を蓄積素子 5 に供給するときにリセットトランジスタ 1 から蓄積素子 5 へ流れ込む電荷が読み出しトランジスタ 2 に設けられたゲート端子 3 を越えて光電変換素子 4 へ流れ込まないようにすることができる。その結果、読み出しトランジスタ 2 に設けられたゲート端子 3 を越えて光電変換素子 4 へ流れ込む電荷による白キズが生じない良好な画質を得ることができる撮像装置を提供することができる。

【0045】

(実施の形態 2)

図 7 は、実施の形態 2 に係る撮像装置 100A の構成を示すブロック図である。図 1 を参照して前述した実施の形態 1 に係る撮像装置 100 の構成要素と同一の構成要素には同一の参照符号を付している。従って、これらの構成要素の詳細な説明は省略する。前述した実施の形態 1 に係る撮像装置 100 と異なる点は、撮像素子 7 の代わりに撮像素子 7A を有しており、DSP 17 の代わりに DSP 17A を有している点である。

【0046】

DSP 17A には、SSG 18 が設けられている。SSG 18 は、ハイ状態とロー状態とを有する図 8 (a) に示すような同期パルス信号を生成する。

【0047】

撮像素子 7A には、ドライバ 14 が設けられている。ドライバ 14 は、SSG 18 によって生成された同期パルス信号に基づいて、ハイ状態とハイ状態および

ロー状態の間の中間電位とを有する図8(b)に示すような中間電位パルス信号を生成して、各画素ユニット9に設けられたリセットトランジスタ1へ供給する。

【0048】

リセットトランジスタ1は、ドライバ14によって供給された中間電位パルス信号に基づいて、信号電荷をリセットするためのリセット電位を蓄積素子5に供給する。

【0049】

以上のように実施の形態2によれば、撮像素子7Aに設けられたドライバ14は、SSG18によって供給された同期パルス信号に基づいて、中間電位を有する中間電位パルス信号を生成して各リセットトランジスタ1へ供給する。このため、DSP17Aに設けられたSSG18からは中間電位を有する中間電位パルス信号を特別に発生させる必要がなくなる。従って、NMOS型撮像素子を駆動するためのDSP側に特別な回路を設ける必要がなくなる。

【0050】

(実施の形態3)

図9は、実施の形態3に係る撮像装置100Bの構成を示すブロック図である。図7を参照して前述した実施の形態2に係る撮像装置100Aの構成要素と同一の構成要素には同一の参照符号を付している。従って、これらの構成要素の詳細な説明は省略する。前述した実施の形態2に係る撮像装置100Aと異なる点は、撮像素子7Aの代わりに撮像素子7Bを有しており、DSP17Aの代わりにDSP17Bを有している点である。

【0051】

DSP17Bには、SSG18Bが設けられている。SSG18Bは、図10(a)に示すような駆動用H_{i-z}信号を生成する。駆動用H_{i-z}信号は、所定の期間の間はH_{i-z}信号になっており、他の期間の間はハイレベル(V_{DD}レベル)を有するハイ信号になっている。

【0052】

撮像素子7Bには、バイアス回路15が設けられている。バイアス回路15は

、SSG18Bによって生成された駆動用H i - z信号を受け取り、H i - z信号が入力される所定の期間の間はハイ状態とハイ状態およびロー状態の間の中間電位とを有する図10(b)に示すような中間電位パルス信号を生成して、画素部16に設けられた各画素ユニット9のリセットトランジスタ1へ供給する。ハイレベル(VDDレベル)を有するハイ信号が入力されている他の期間の間は、バイアス回路15は、ハイレベル(VDDレベル)を有するハイ信号をそのままリセットトランジスタ1へ供給する。

【0053】

リセットトランジスタ1は、バイアス回路15によって供給された中間電位パルス信号に基づいて、信号電荷をリセットするためのリセット電位を蓄積素子5に供給する。

【0054】

以上のように実施の形態3によれば、SSG18Bによって供給される駆動用H i - z信号は、H i - zの信号を含んでおり、撮像素子7Bに設けられたバイアス回路15は、SSG18Bによって供給されたH i - zの信号に基づいて、中間電位を有する信号を生成して各リセットトランジスタ1へ供給する。このため、前述した実施の形態2と同様に、DSPに設けられたSSGからは中間電位を有する中間電位パルス信号を特別に発生させる必要がなくなる。従って、NMOS型撮像素子を駆動するためのDSP側に特別な回路を設ける必要がなくなる。

【0055】

【発明の効果】

以上のように本発明によれば、良好な画質を有する画像を表示することができる映像信号を出力する撮像装置を提供することができる。

【図面の簡単な説明】

【図1】

実施の形態1に係る撮像装置の構成を示すブロック図である。

【図2】

実施の形態1に係る撮像装置に設けられた撮像素子の画素部の構成を示す模式

図である。

【図 3】

実施の形態 1 に係る撮像素子に設けられた画素ユニットの構成を示す回路図である。

【図 4】

実施の形態 1 に係る撮像装置に設けられた撮像素子の画素ユニットの動作を説明するためのタイミングチャートである。

【図 5】

(a) ~ (d) は、実施の形態 1 に係る撮像装置に設けられた撮像素子の画素ユニットにおける信号電荷の動きを説明するための模式図である。

【図 6】

実施の形態 1 に係る撮像装置において駆動信号供給器からリセットトランジスタへ供給される中間電位信号の波形図である。

【図 7】

実施の形態 2 に係る撮像装置の構成を示すブロック図である。

【図 8】

(a) は、実施の形態 2 に係る撮像装置において SSG からドライバへ供給される同期パルスの波形図であり、

(b) は、実施の形態 2 に係る撮像装置においてドライバからリセットトランジスタへ供給される中間電位信号の波形図である。

【図 9】

実施の形態 3 に係る撮像装置の構成を示すブロック図である。

【図 10】

(a) は、実施の形態 3 に係る撮像装置において SSG からバイアス回路へ供給される H_{i-z} の信号を説明するための波形図であり、

(b) は、実施の形態 3 に係る撮像装置においてバイアス回路からリセットトランジスタへ供給される中間電位信号の波形図である。

【図 11】

従来の撮像装置の構成を示すブロック図である。

【図 1 2】

従来の撮像装置に設けられた撮像素子の画素部の構成を示す模式図である。

【図 1 3】

従来の撮像素子に設けられた画素ユニットの構成を示す回路図である。

【図 1 4】

従来の撮像装置において駆動信号供給器からリセットトランジスタへ供給される駆動信号の波形図である。

【図 1 5】

従来の撮像装置に設けられた撮像素子の画素ユニットの動作を説明するためのタイミングチャートである。

【図 1 6】

(a) ~ (d) は、従来の撮像装置に設けられた撮像素子の画素ユニットにおける信号電荷の動きを説明するための模式図である。

【符号の説明】

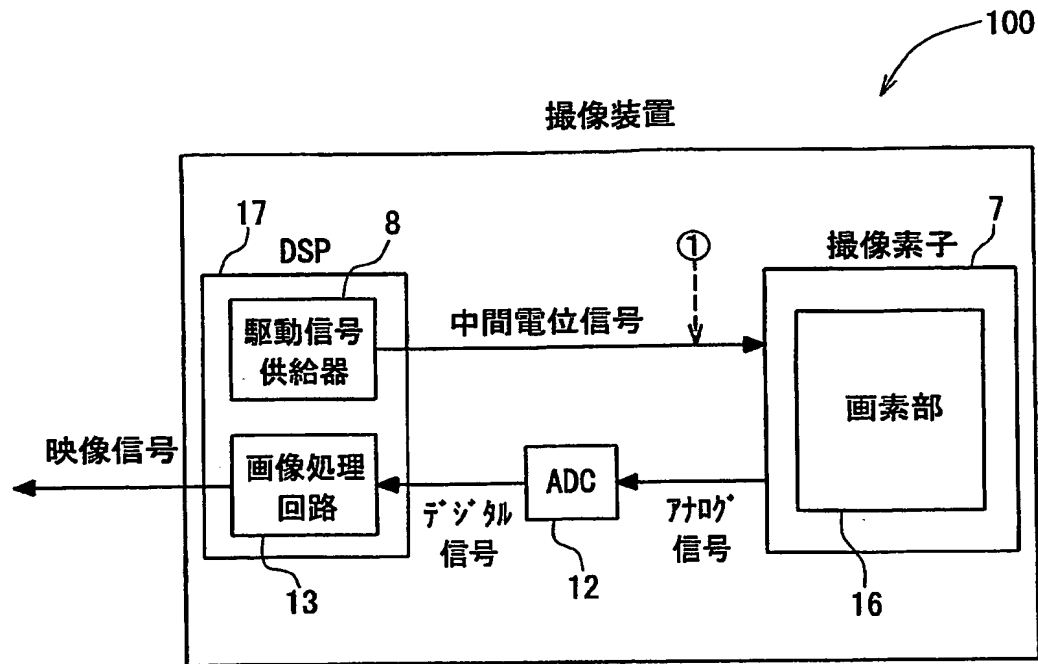
- 1 リセットトランジスタ
- 2 読み出しトランジスタ
- 3 ゲート端子
- 4 光電変換素子
- 5 蓄積素子
- 6 検出トランジスタ
- 7 撮像素子
- 8 駆動信号供給器
- 9 画素ユニット
- 10 トランス信号
- 11 リセット信号
- 12 アナログデジタルコンバータ
- 13 画像処理装置
- 14 ドライバ
- 15 バイアス回路

- 1 6 画素部
- 1 7 デジタルシグナルプロセッサ
- 1 8 S S G
- 1 9 V D D C E L L 信号

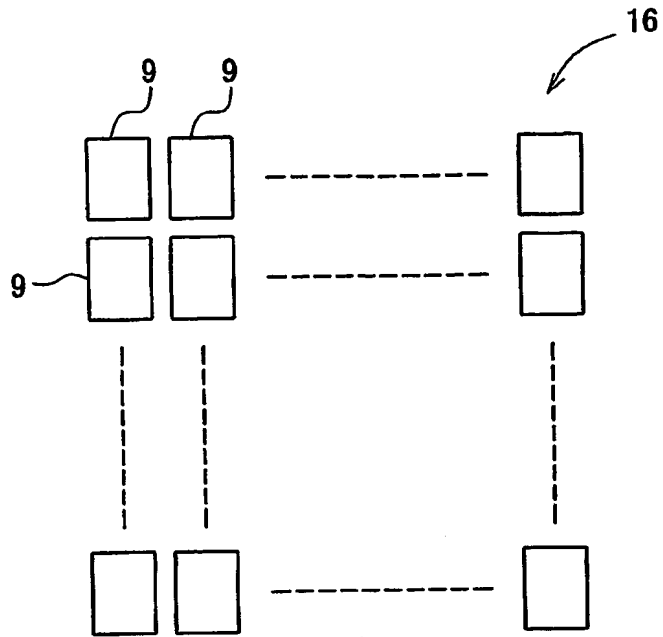
【書類名】

図面

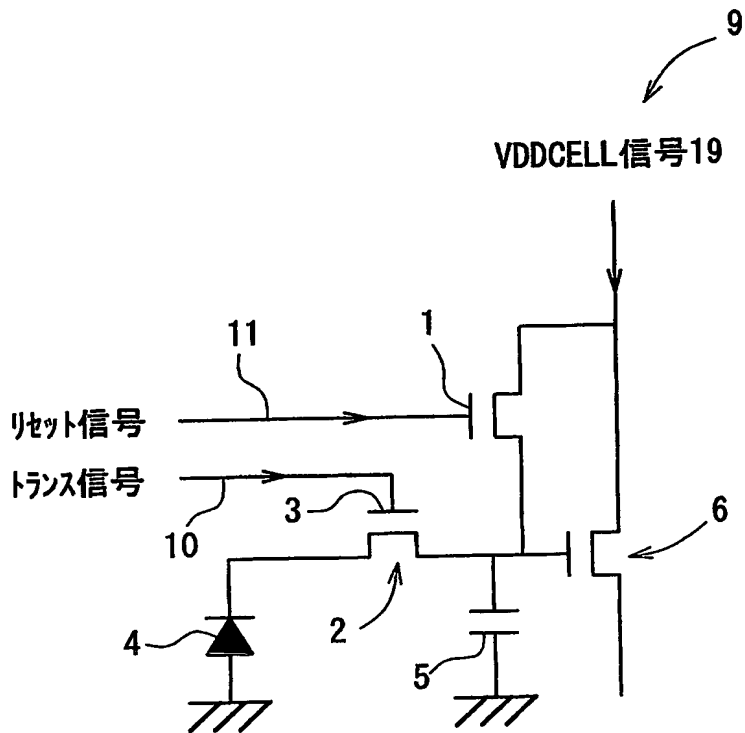
【図 1】



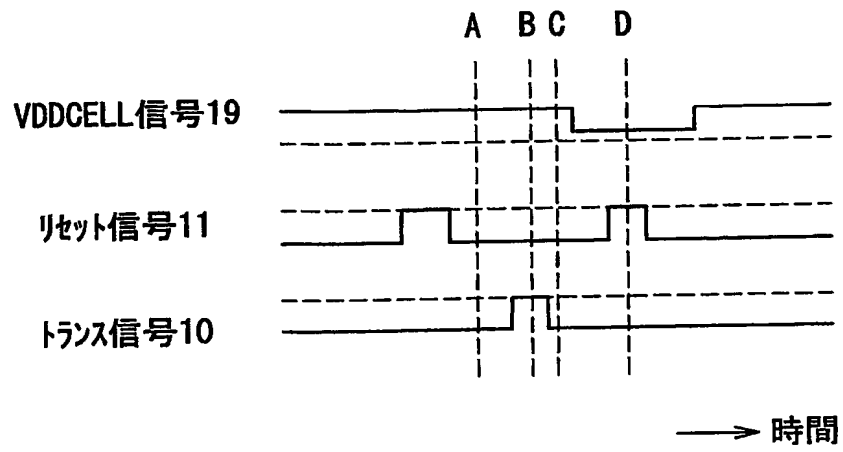
【図 2】



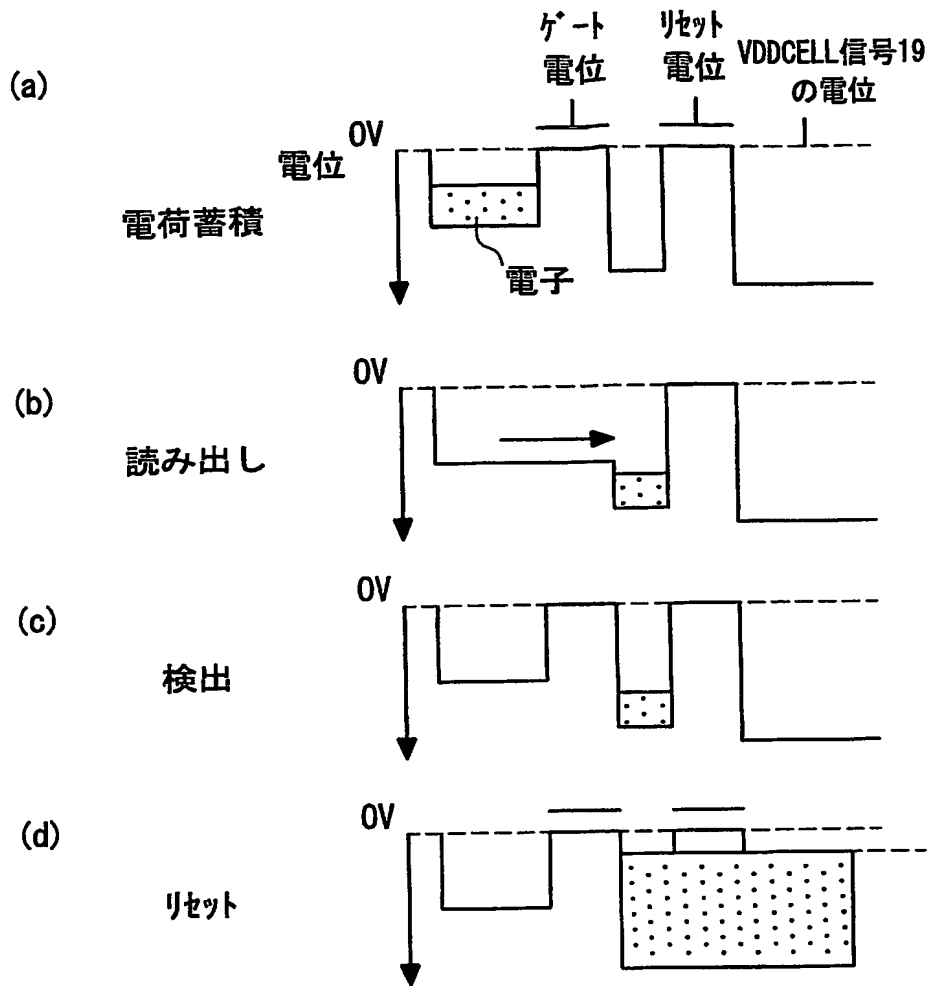
【図 3】



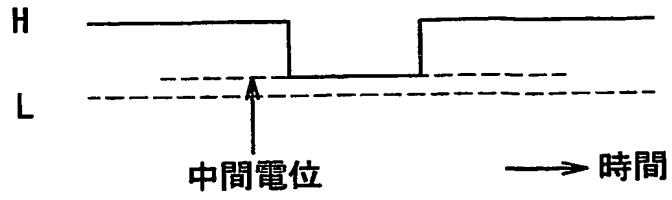
【図 4】



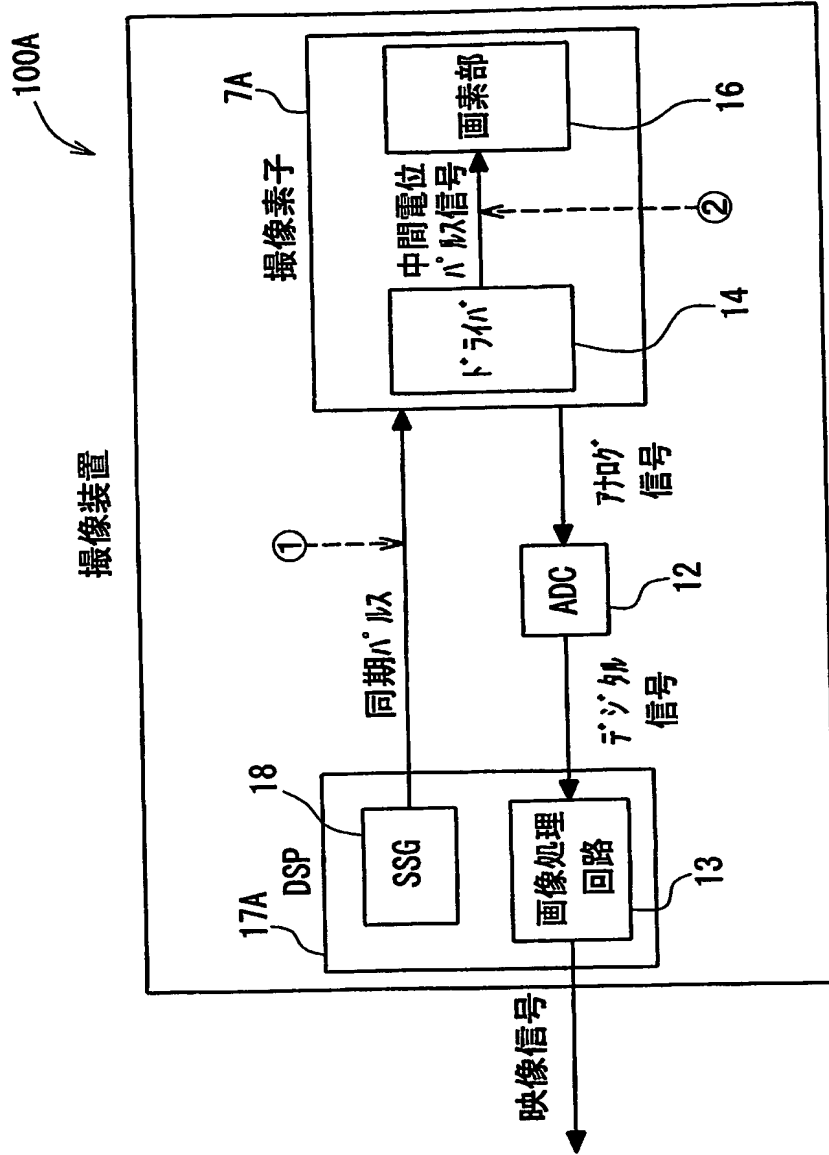
【図 5】



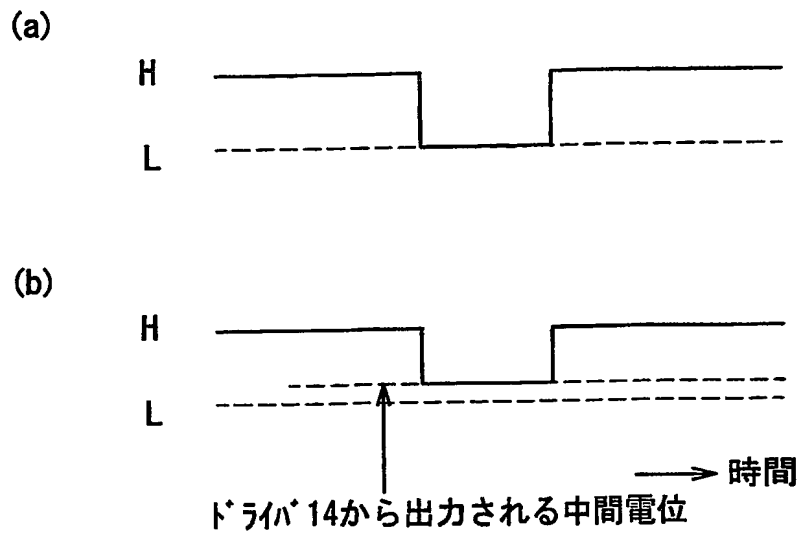
【図 6】



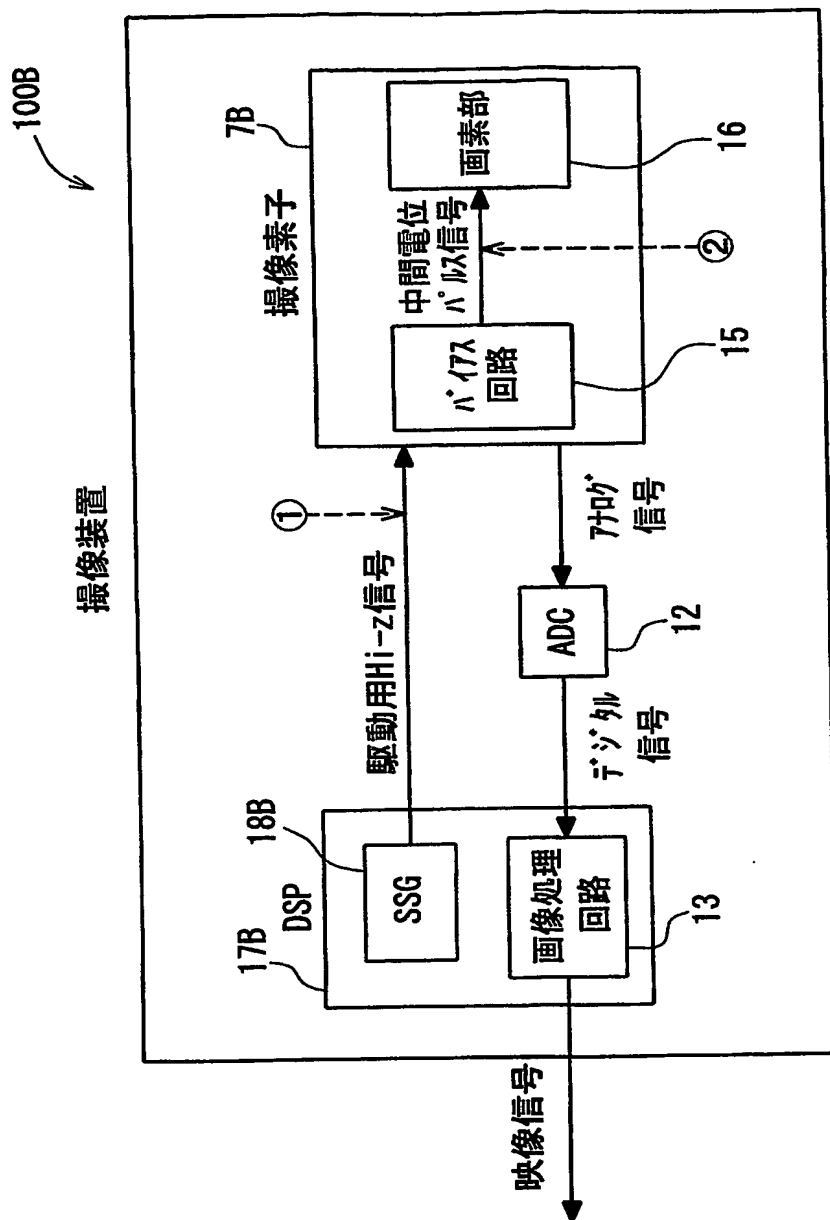
【図 7】



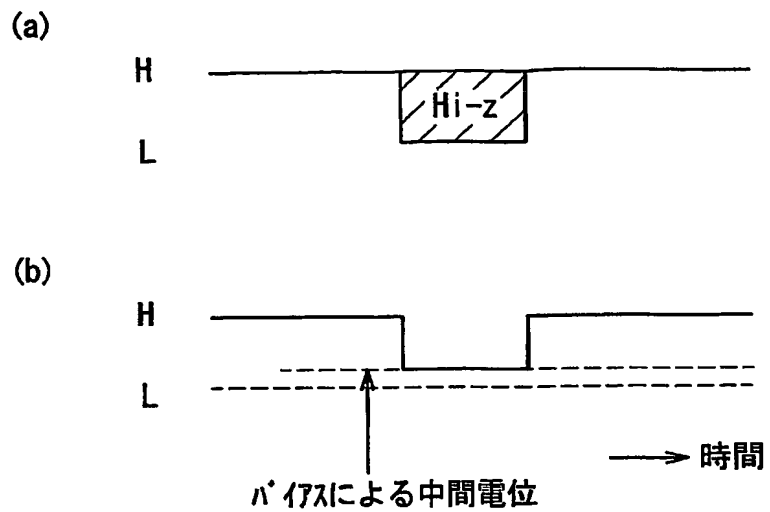
【図 8】



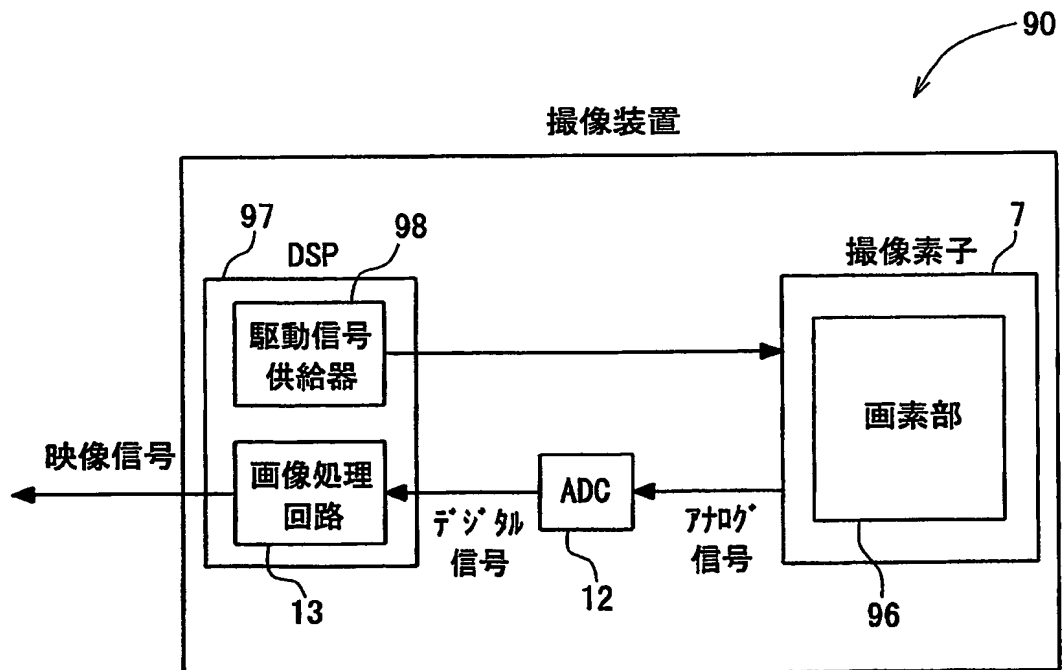
【図 9】



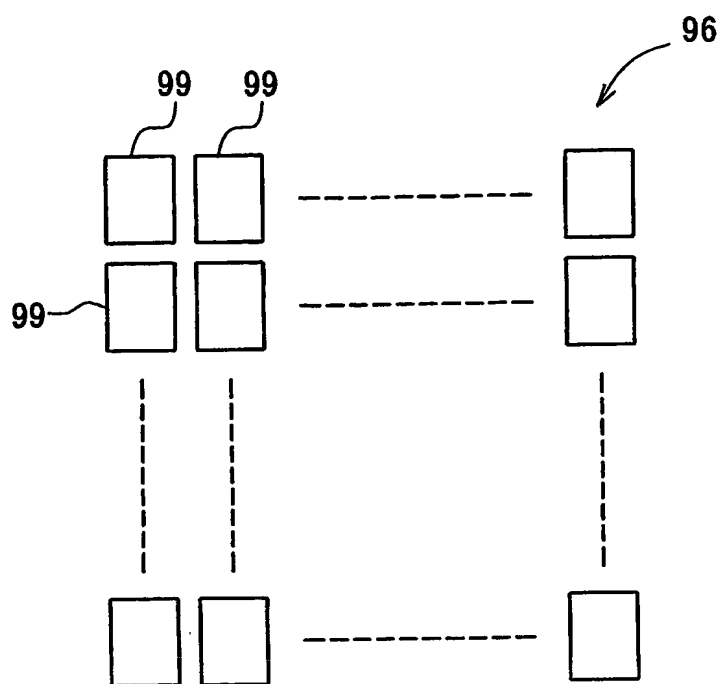
【図 10】



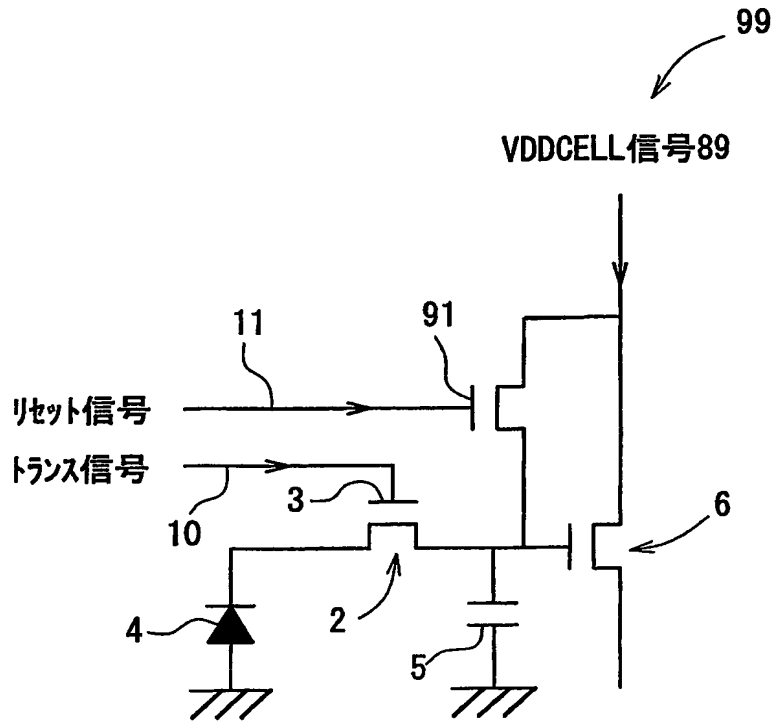
【図 11】



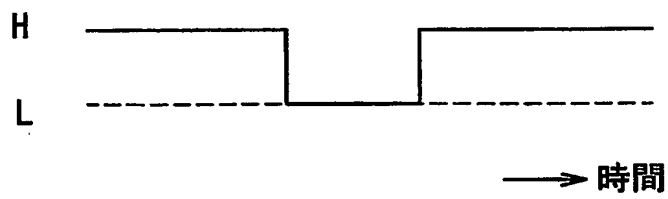
【図 12】



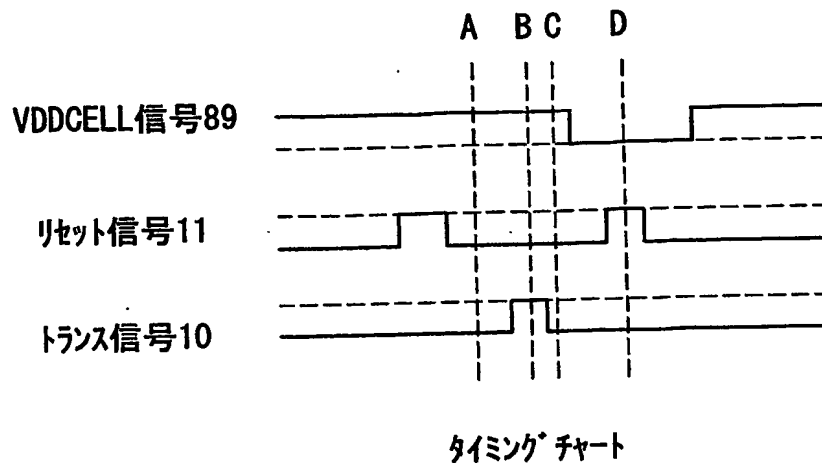
【図 13】



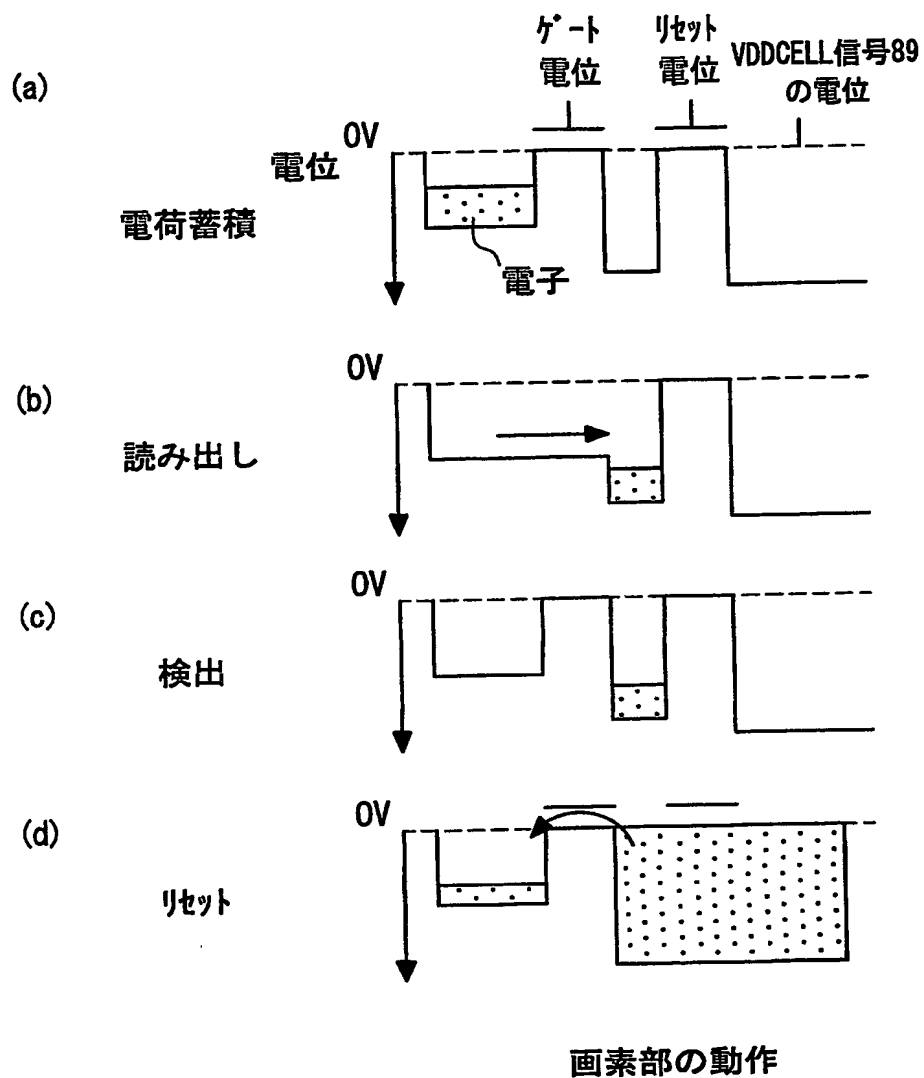
【図 14】



【図 1 5】



【図 16】



【書類名】 要約書

【要約】

【課題】 良好な画質を有する画像を表示することができる映像信号を出力する撮像装置を提供する。

【解決手段】 撮像素子は、光電変換素子と読み出しトランジスタと蓄積素子と検出トランジスタとリセットトランジスタとを有しており、読み出しトランジスタは、ゲート端子に供給されるゲート電位が第1の状態から第2の状態へ変化したときに信号電荷を読み出し、検出トランジスタは、読み出しトランジスタに設けられたゲート端子に供給されるゲート電位が第2の状態から第1の状態に変化した後で電圧信号を検出し、リセットトランジスタによって蓄積素子に供給されるリセット電位は、読み出しトランジスタに設けられたゲート端子に供給された第1の状態のゲート電位と所定のVDD電位との間の中間電位を有している。

【選択図】 図5

特願 2 0 0 2 - 3 3 2 8 5 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 2 8 日

新規登録

住 所
氏 名

大阪府門真市大字門真 1 0 0 6 番地
松下電器産業株式会社